

Homework 01

1. 使用德·摩根定律和 A.2 节所示的定理，证明下面两个关于 E 的表达式是等价的：

a). $E = ((A \cdot B) + (A \cdot C) + (B \cdot C)) \cdot (\overline{A \cdot B \cdot C})$

b). $E = (A \cdot B \cdot \overline{C}) + (A \cdot C \cdot \overline{B}) + (B \cdot C \cdot \overline{A})$

2. 用两输入的与门、或门和非门实现四输入的奇校验函数。

3. 假设 X 由三位 x_2 、 x_1 、 x_0 组成。

a). 分别写出下列4个逻辑表达式（当且仅当满足下面的条件时逻辑表达式为“真”）：

- o X 中只有一个0。
- o X 中有偶数个0。
- o 当 X 被当做无符号二进制数时， X 小于4。
- o 当 X 被当做有符号二进制数时， X 是负数。

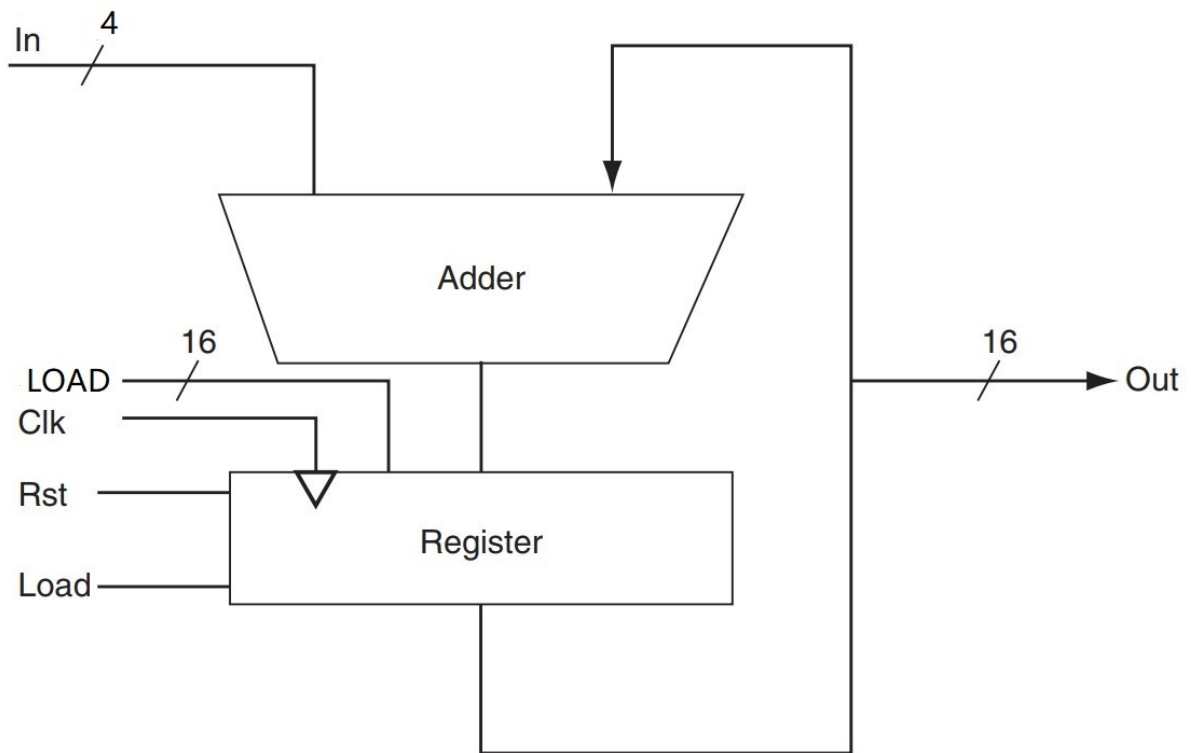
b). 用 PLA 实现上述4个逻辑函数。

4. 下面的 *Verilog* 模块实现了何种功能：

```
module FUNC1 (I0, I1, S, out);
    input I0, I1;
    input S;
    output out;
    out = S? I1: I0;
endmodule

module FUNC2 (out, ctl, clk, reset);
    output [7:0] out;
    input ctl, clk, reset;
    reg [7:0] out;
    always @(posedge clk)
        if (reset) begin
            out <= 8'b0;
        end
        else if (ctl) begin
            out <= out + 1;
        end
        else begin
            out <= out - 1;
        end
endmodule
```

5. 根据下面给出的累加器逻辑图，写出它的 Verilog 模块实现。假定使用正边沿触发寄存器和异步 Rst。



Homework 02

1. (改编自 *COD_CH, P39, 1.5*) 有 3 种不同的处理器 P_1 、 P_2 和 P_3 执行同样的指令系统。 P_1 的时钟频率为 $3GHz$, CPI 为 1.5; P_2 的时钟频率为 $2.5GHz$, CPI 为 1.0; P_3 的时钟频率为 $4GHz$, CPI 为 2.2。

- 1). 如果每个处理器执行一个程序都花费 10 秒时间, 求它们的时钟周期数和指令数。
- 2). 我们试图把执行时间减少 30%, 但这会引起 CPI 增大 20%。请问为达到时间减少 30% 的目标, 时钟频率应变为多少?

2. (改编自 *COD_CH, P40, 1.9*) 在某处理器中, 假定算术指令、*load/store* 指令和分支指令的 CPI 分别是 1、12 和 5。同时假定某程序在单个处理器核上运行时需要执行 2.56×10^9 条算术指令、 1.28×10^9 条 *load/store* 指令和 2.56×10^8 条分支指令, 并假定处理器的时钟频率为 $2GHz$ 。

现假定程序并行运行在多核上, 分配到每个处理器核上运行的算术指令和 *load/store* 指令数目为单核情况下相应指令数目除以 $0.7 \times p$ (p 为处理器核数), 而每个处理器的分支指令的数量保持不变。

- 1). 求出当该程序分别运行在 1、2、4 和 8 个处理器核上的执行时间, 并求出其他情况下相对于单核处理器的加速比。
- 2). 如果算术指令的 CPI 加倍, 求此时程序分别运行在 1、2、4 和 8 个处理器核上的执行时间。
- 3). 如果要使单核处理器的性能与四核处理器相当, 单处理器中 *load/store* 指令的 CPI 应该降低到多少? 此处假定四核处理器的 CPI 保持原数值不变。

3. (改编自 *COD_CH, P41, 1.12*) 在 1.10 节中提到使用性能公式的子集来作为性能评价指标的陷阱。下面的习题将对其进行说明。考虑下面两种处理器: P_1 的时钟频率为 $4GHz$, 平均 CPI 为 0.9, 需要执行 5.0×10^9 条指令; P_2 的时钟频率为 $3GHz$, 平均 CPI 为 0.75, 需要执行 1.0×10^9 条指令。

- 1). 一个常见的错误是, 认为时钟频率最高的计算机具有最高的性能。这种说法正确吗? 请用 P_1 和 P_2 来验证这一说法是否正确。
- 2). 另一个错误是, 认为执行指令最多的处理器需要更多的 CPU 时间。考虑 P_1 执行 1.0×10^9 条指令序列所需的时间, 假定 P_1 和 P_2 的 CPI 不变, 计算一下 P_2 用同样的时间可以执行多少条指令。
- 3). 一个常见的错误是用 $MIPS$ (每秒百万条指令数) 来比较两台不同的处理器的性能, 并认为 $MIPS$ 数值大的处理器具有最高的性能。这种说法正确吗? 请用 P_1 和 P_2 验证这一说法是否正确。
- 4). 另一个常见的性能标志是 $MFLOPS$ (每秒百万条浮点指令), 其定义为

$$MFLOPS = \frac{\text{浮点数操作的数目}}{\text{执行时间} \times 10^6}$$

但此标志与 $MIPS$ 有同样的问题。假定 P_1 和 P_2 上执行的指令有 40% 的浮点指令, 求出各处理器的 $MFLOPS$ 数值。

4. (改编自 *COD_CH, P41, 1.13*) 在 1.10 节中提到的另一个易犯的错误是希望通过只改进计算机的一个方面来改进计算机的总体性能。假如一台计算机上运行一个程序需要 250 秒, 其中 70 秒用于执行浮点指令, 85 秒用于执行 L/S 指令, 40 秒用于执行分支指令, 剩余的时间用来执行整型指令。

- 1). 如果浮点操作的时间减少 20%, 总时间将减少多少?
- 2). 如果将总时间减少 20%, 整型操作时间应减少多少?
- 3). 如果只减少分支指令时间, 总时间能否减少 20%?

Homework 03

1. (改编自 COD_CH, P116, 2.9)

对于下述每条 RISC-V 指令, 写出操作码 (*op*)、源寄存器 (*rs1*) 和目标寄存器 (*rd*) 字段的值。对于 I 型指令, 写出立即数字段的值, 对于 R 型指令, 写出第二个源寄存器 (*rs2*) 的值和 *funct7* 字段。对于非 U 型和 UJ 型指令, 写出 *funct3* 字段。

```
addi x30, x10, 8
addi x31, x10, 0
sd   x31, 0(x30)
ld   x30, 0(x30)
add  x5,  x30, x31
```

2. (改编自 COD_CH, P116, 2.11)

假设寄存器 *x5* 保存值 128_{10} , 寄存器均为64位。

- 1). 对于指令 `add x30, x5, x6`, 求出导致结果溢出的 *x6* 值的范围?
- 2). 对于指令 `sub x30, x5, x6`, 求出导致结果溢出的 *x6* 值的范围?
- 3). 对于指令 `sub x30, x6, x5`, 求出导致结果溢出的 *x6* 值的范围?

3. (改编自 COD_CH, P118, 2.22)

假设程序计数器 (*PC*) 置为 $0x20000000$, 指令采用RV32I。

- 1). 使用 RISC-V 跳转-链接 (*jal*) 指令可以到达的地址范围是什么? (换句话说, 跳转指令执行后 *PC* 的可能值是多少?)
- 2). 使用 RISC-V 的相等则分支 (*beq*) 指令可以到达的地址范围是什么? (换句话说, 分支指令执行后 *PC* 的可能值是多少?)

4. (改编自 COD_CH, P118-119, 2.27、2.28)

1). 以下指令为 RV32I 指令, 将以下循环转换为 C 代码。假设 C 语言级的整数(可以认为是 int 类型) *i* 保存在寄存器 *x6* 中, *x5* 中保存名为 *result* 的 C 语言级的整数, *x10* 保存整数 *MemArray* 的基址。

```
addi x6, x0, 0
addi x29, x0, 100
LOOP: lw  x7, 0(x10)
      add x5, x5, x7
      addi x10, x10, 4
      addi x6, x6, 1
      blt x6, x29, LOOP
```

- 2). 重写第一问中的循环以减少执行的 RISC-V 指令数。提示: 注意变量 *i* 仅用于循环控制。

5. (改编自 *COD_CH*, P119, 2.35)

考虑以下代码:

```
lb x6, 0(x7)
sd x6, 8(x7)
```

假设寄存器 $x7$ 包含地址 $0x10000000$, 且地址中的数据是 $0x1122334455667788$ 。(寄存器位宽为 64)

- 1). 在大端对齐的机器上 $0x10000008$ 中存储的是什么值?
- 2). 在小端对齐的机器上 $0x10000008$ 中存储的是什么值?

Homework 04

1.

假定采用IEEE 754 单精度格式，写出十进制数 78.75 的二进制表示，并且写出十六进制形式。

2.

根据下述指令组合回答问题。

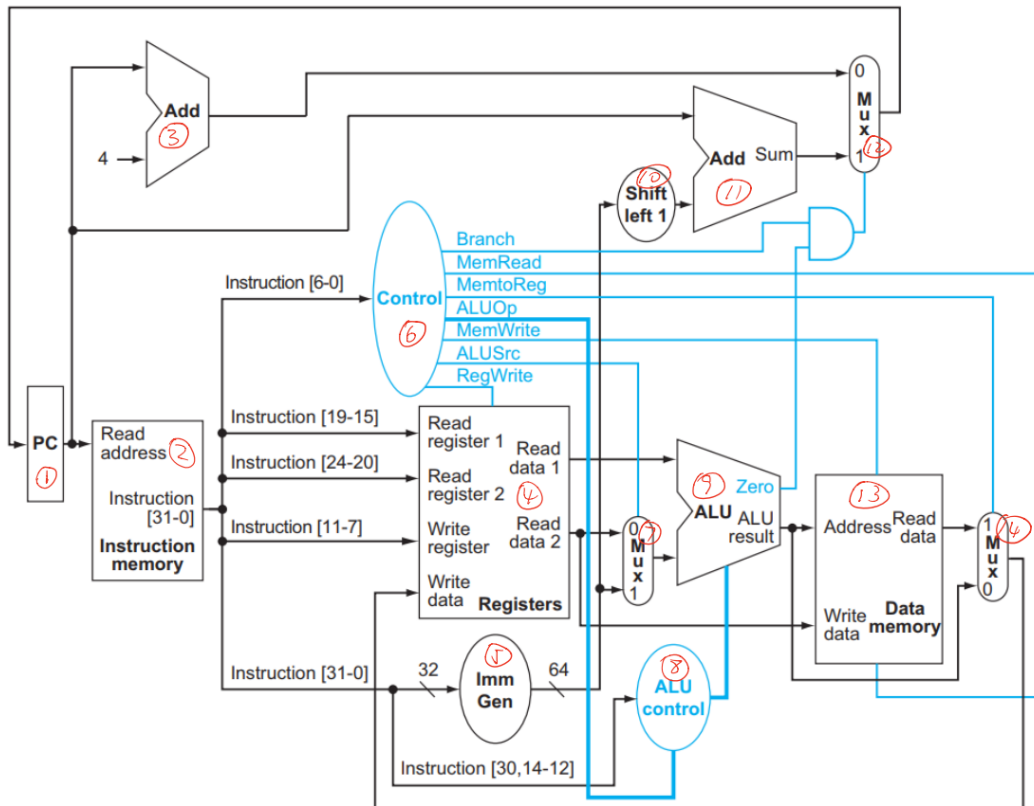
R-type	I-type(non-ld)	Load	Store	Branch	Jump
23%	26%	27%	12%	10%	2%

- 1) 发生数据访存的指令所占比例?
- 2) 发生指令访存的指令所占比例?
- 3) 使用符号拓展的指令所占比例?

3.

本题中，我们将仔细讨论单周期数据通路中执行指令的细节。假设本周期处理器取来指令：0x00c6ba23，当前指令地址为0xbfc0038c

数据通路如下，参考书中图4-17



- 1) 此时ALU控制单元的输入值是多少(ALUOp、ALU控制线)?
- 2) 该指令执行结束后新的PC地址是多少? 列出计算该PC值的通路的序号。
- 3) 此时ALU和另两个加法单元的输入数值是多少(可用Reg[x1]表示寄存器x1中的值)?

4.

假设用来实现处理器数据通路的各功能模块延迟如下所示：

I-Mem/D-Mem	Register File	Mux	ALU	Adder	Single gate	Register Read	Register Setup	Sign extend	Control
235ps	160ps	45ps	230ps	155ps	10ps	40ps	15ps	65ps	55ps

其中，寄存器读延迟指的是，时钟上升沿到寄存器输出端稳定输出新值所需的时间。该延迟仅针对PC寄存器。寄存器建立时间指的是，寄存器的输入数据稳定到时钟上升沿所需的时间。该数值针对PC寄存器和寄存器堆。

数据通路参考书中图4-17，即上图；其他延迟默认为0；每条指令从读PC开始，即都包含PC读延迟。

- 1) R型指令的延迟是多少？（换句话说，如果能让这类指令工作正确，时钟周期最少为多少）
- 2) ld指令的延迟是多少？（仔细检查你的答案，许多学生会添加额外的寄存器）
- 3) sd指令的延迟是多少？（仔细检查你的答案，许多学生会添加额外的寄存器）
- 4) beq指令的延迟是多少？
- 5) l型指令(不考虑存储器)的延迟是多少？
- 6) 该CPU的最小时钟周期是多少？

Homework 05

1. (COD_CH, P250, 4.16)

在本题中将讨论流水线如何影响处理器的时钟周期。假设数据通路的各个流水级的延迟如下：

II	ID	EX	MEM	WB
250ps	350ps	150ps	300ps	200ps

同时，假设处理器执行的指令分布如下：

ALU/Logic	Branch	Load	Store
45%	20%	20%	15%

- 1). 在流水化和非流水化的处理器中，时钟周期分别是多少？
- 2). 在流水化和非流水化的处理器中，对于ld指令的延迟分别是多少？
- 3). 如果我们将数据通路中的一个流水级拆成两个新的流水级，每一个新的流水级的延迟是原来的一半，那么我们将拆分哪一级？新处理器的时钟周期是多少？
- 4). 假设没有停顿或冒险，数据存储器的利用率如何？
- 5). 假设没有停顿或冒险，寄存器堆的写端口利用率如何？

2. (COD_CH, P251, 4.22)

对于如下的 `RSIC-V` 的汇编片段：

```
sd    x29, 12(x16)
ld    x29, 8(16)
sub   x17, x15, x14
beqz  x17, label
add   x15, x11, x14
sub   x15, x30, x14
```

假设我们修改流水线使得其只有一个存储器（存放指令和数据）。在这种情况下，每次程序在另一个指令访问数据的同一周期内获取指令时，都会存在结构冒险。

- 1). 请画出流水线图，说明以上代码会在何处停顿。
- 2). 是否可通过重排代码来减少因结构冒险而导致的停顿次数？
- 3). 该结构冒险必须用硬件来解决吗？我们可以通过在代码中插入 `NOP` 指令来消除数据冒险，对于结

构冒险是否可以相同处理？请解释原因。

4). 在典型程序中，大约需要为该结构冒险产生多少时钟周期的停顿？（使用以下指令分布）

R-type/I-type(non-ld)	ld	sd	beq
52%	25%	11%	12%

3. (COD_CH, P251, 4.23)

如果我们改变 `load/store` 指令格式，使用寄存器（不需要立即数偏移）作为访存地址，这些指令就不再需要使用 `ALU`。这样的话，`MEM` 阶段和 `EX` 阶段就可以重叠，流水级数变为四级。

- 1). 流水级数的减少会影响时钟周期吗？
- 2). 这样的变化可能会提高流水线的性能吗？
- 3). 这样的变化可能会降低流水线的性能吗？

4. (COD_CH, P252, 4.25)

考虑如下循环：

```
LOOP: ld    x10, 0(x13)
      ld    x11, 8(x13)
      add   x12, x10, x11
      subi  x13, x13, 16
      bnez  x12, LOOP
```

如果使用完美的分支预测（即没有控制冒险带来的流水线停顿），流水线中没有使用延迟槽，采用硬件前递解决数据冒险，分支指令在 `EX` 阶段判断是否跳转。

- 1). 给出该循环中前两次循环的流水线执行图。
- 2). 标注出没有进行有用操作的流水级。当流水线全负荷工作时，所有五个流水级都在进行有用的操作的情况多久会出现一次？（从 `subi` 指令进入 `IF` 阶段开始计算，到 `bnez` 指令进入 `IF` 阶段结束）

Homework 06

1. (改编自 COD_CH, P337, 5.2)

现对一个64位存储器进行访问，表 1_1 的第一列是以字地址形式给出的访问地址顺序。（假设字的大小为64位）

1) 假设存储器的 Cache 共有 16 个基本块，每个块大小为 1 个字。请参考表 1_1 的形式，给出这些访问地址在 Cache 中对应的：二进制字地址、索引、标签和访问的命中情况。

2) 假设存储器的 Cache 共有 8 个基本块，每个块大小为 2 个字。请参考表 1_1 的形式，给出这些访问地址在 Cache 中对应的：二进制字地址、索引、标签和访问的命中情况。

(Cache 最初为空，索引、标签给出二进制形式即可)

Word Address	Binary Address	index	Tag	Hit/Miss
0x03				
0xb4				
0x2b				
0x02				
0xbf				
0x58				
0xbe				
0x0e				
0xb5				
0x2c				
0xba				
0xfd				

表 1_1

2. (改编自 COD_CH, P339, 5.7)

考虑以下的程序和 Cache 行为：

每 1000 条指令的数据读取次数	每 1000 条指令的数据写次数	指令 Cache 失效率	数据 Cache 失效率	块大小 (字节)
250	100	0.30%	2%	64

存储器位宽为 32-bit，带宽单位采用: bytes/cycle

这里的读写带宽是指所有读写操作的期望值分别求和，而不是瞬时最大值

1) 假设一个带有写直达、写分配 Cache 的 CPU 每周期执行的指令条数期望值为 0.5，那么 RAM 和 Cache 之间的读写带宽应该为多少合适？（假设每个失效会生成一个块的请求）

2) 对于一个写回、写分配 Cache 来说，假设替换出的数据 Cache 块中有 30% 是脏块，那么假设 CPU 每周期执行的指令条数期望值依然为 0.5，RAM 和 Cache 之间的读写带宽需要达到多少？

3.

假设 CPU 执行某段程序时，共访问 Cache 命中 2000 次，访问主存 50 次。已知 Cache 存取周期为 50ns，主存取周期为 200ns。求 Cache-主存系统的命中率和平均访问时间。

4. (改编自 COD_CH, P341, 5.12)

多级 Cache 是一种重要的技术, 可以克服在一级 Cache 提供的有限空间的同时仍然保持速度。考虑具有一下参数的处理器:

无内存停顿的基本CPI	处理器速度	主存访问时间	每条指令的 L1 Cache 失效率	L2 直接映射 Cache 速度	L2 直接映射 Cache 全局失效率	L2 八路组相联 Cache 速度	L2 八路组相联 Cache 全局失效率
1.5	2GHz	100ns	7%	12 cycles	3.5%	28 cycles	1.5%

*L1 Cache 失效率是针对每条指令而言的。假设 L1 Cache 的总失效数量 (包括指令和数据) 为总指令数的 7%

1) 分别计算在下列情况下的处理器 CPI:

- 仅有 L1 Cache
- 使用 L2 直接映射 Cache
- 使用 L2 八路组相联 Cache

2) 假设处理器采用 L2 直接映射 Cache, 设计人员希望添加一个 L3 Cache, 该 Cache 访问时间为 50 个时钟周期, 并且具有 13% 的失效率, 请计算此处理器的 CPI。

3) 在较老的处理器中, 例如 Intel Pentium 或 Alpha 21264, L2 Cache 在主处理器和 L1 Cache 的外部 (位于不同芯片上)。虽然这种做法使得大型 L2 Cache 成为可能, 但是访问 L2 Cache 的延迟也变得很高, 并且因为 L2 Cache 以较低的频率运行, 所以带宽通常也很低。假设 512KiB 的片外 L2 Cache 的失效率为 4%, 如果每增加一个额外的 512KiB 片外 L2 Cache 能够降低 0.7% 的失效率, 并且片外 L2 Cache 的总访问时间为 50 个时钟周期, 那么片外 L2 Cache 容量必须多大才能与第一问列出的 L2 直接映射 Cache 的性能相匹配?

Homework07

1(改编自COD_CH,P343,5.16)

如5.7节所述，虚拟内存使用页表来跟踪虚拟地址到物理地址的映射。本题显示了在访问地址时必须如何更新页表。以下数据构成了在系统上看到的虚拟字节地址流。假设有4KiB页，一个4表项全相联的TLB，使用严格的LRU替换策略。如果必须从磁盘中取回页，请增加下一次能取的最大页码：

十进制	4669	2227	13916	34587	48870	12608	49225
十六进制	0x123d	0x08b3	0x365c	0x871b	0xbec6	0x3140	0xc049

TLB

有效位	标签	物理页号	上次访问时间间隔
1	0xb	12	4
1	0x7	4	1
1	0x3	6	3
0	0x4	9	7

页表

索引	有效位	物理页号/在磁盘中
0	1	5
1	0	在磁盘中
2	0	在磁盘中
3	1	6
4	1	9
5	1	11
6	0	在磁盘中
7	1	4
8	0	在磁盘中
9	0	在磁盘中
a	1	3
b	1	12

(1)对于上述每一次访问，列出

- 本次访问在TLB会命中还是失效
- 本次访问在页表中会命中还是失效

2(改编自COD_CH,P345,5.24)

本题研究具有写缓冲区的处理器的cache控制器的控制单元。使用图5-39的有限状态自动机作为设计有限状态自动机的起点。假设cache控制器用于5.9.3节描述的简单直接映射cache(图5-39),但你需要再添加一个容量为1个块的写缓冲区。

回忆一下,写缓冲区的目的是作为临时存储器,这样处理器就不必等待脏块失效的两次内存访问。它不是在取新块之前写回脏块,而是缓冲脏块并立即开始读取新块。然后,在处理器工作时再将脏块写入主存。

- (1) 如果处理器在从写缓冲区将块写回主存时发出一个命中cache的请求,会发生什么?
- (2) 如果处理器在从写缓冲区将块写回主存时发出一个cache失效的请求,会发生什么?
- (3) 设计一个有限状态自动机以启用写缓冲区

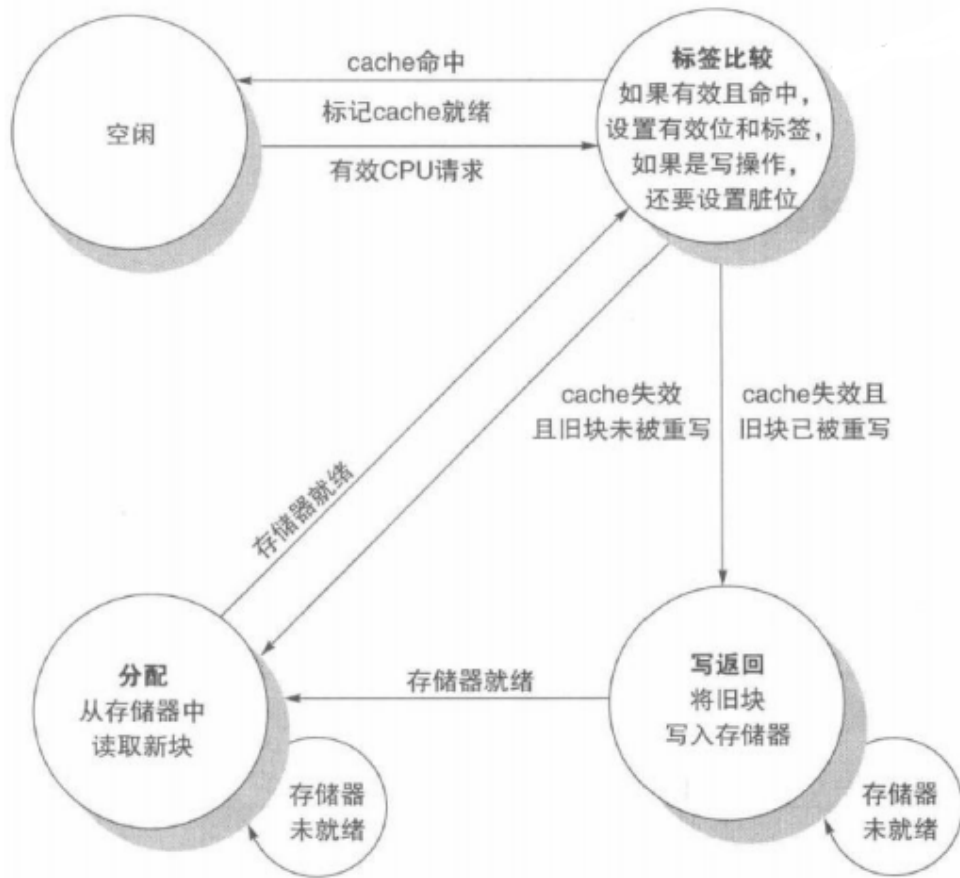


图5.39

3(改编自唐书, P151, 4.17、4.18)

(1) 写出1100、1101、1110、1111对应的海明码(按偶配原则, 高位在右边, 低位在左边)

(2) 已知接受到的海明码(按偶配原则配置, 高位在右边, 低位在左边)为1100100、1100111、1100000、1100001, 检查上述代码是否出错? 第几位出错?

注: 如果觉得高位写在右边不方便, 可以说明一下写在左边也是可以的, 但是要注意所有位置的顺序

4

某磁盘转速为10000转/分, 平均寻道时间是6ms, 磁盘传输速率是20MB/s, 磁盘控制器延迟为0.2ms, 读取一个4KB的扇区所需平均时间约为多少?